

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2988045号

(45) 発行日 平成11年(1999)12月 6 日

(24) 登録日 平成11年(1999)10月 8 日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 25/065

H 0 1 L 25/08

B

25/07

25/18

請求項の数 4 (全 4 頁)

(21) 出願番号 特願平3-234307

(22) 出願日 平成 3 年(1991) 9 月13日

(65) 公開番号 特開平5-75014

(43) 公開日 平成 5 年(1993) 3 月26日

審査請求日 平成10年(1998) 5 月 6 日

(73) 特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1
番1号

(72) 発明者 小宮山 武司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

審査官 川真田 秀男

(58) 参考文献 特開 昭61-22860 (J P, A)

特開 平5-29537 (J P, A)

(58) 調査した分野(Int.Cl.⁶, D B名)

H01L 25/04

(54) 【発明の名称】 ベアチップの構造およびベアチップの実装構造

1

(57) 【特許請求の範囲】

【請求項1】 ベアチップの一方の主面に設けられた接続端子を除く基板上に絶縁膜を施して、前記接続端子に接続した導体パターンを上記絶縁膜の表面に形成して前記ベアチップの他方の主面に延在せしめたことを特徴とするベアチップの構造。

【請求項2】 請求項1記載の複数のベアチップを積層したベアチップの実装構造であって、
第1のベアチップの一方の主面に設けられた導体パターンと第2のベアチップの他方の主面の対応する位置に設けられた導体パターンとを重ねて接続した形で配線基板上に実装したことを特徴とするベアチップの実装構造。

【請求項3】 請求項1記載のベアチップの実装構造であって、
上記接続端子の設けられた一方の主面を上向きにして他

2

方の主面に延在された導体パターンを配線基板上にあらかじめ形成されたフットパターンに接続することを特徴とするベアチップの実装構造。

【請求項4】 配線基板上に一方の主面から他方の主面に表裏導通導体を設けた貫通孔を有する複数のベアチップを積層してなり、

隣接した上方に位置するベアチップの貫通孔下面の接続端子を下方に位置するベアチップ上面の接続端子に直接接続すると共に、

10 ベアチップ毎に独立した外部リードを設けて配線基板との接続を行うようにしたことを特徴とするベアチップの実装構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各種電子機器の回路構

成用に使われるプリント板ユニットの半導体チップ実装構造に関する。

【0002】最近、ハンディタイプの端末機、ワードプロセッサ、パーソナルコンピュータ等の電子機器は更に小型化と多くの機能が要求されるに伴い、これらの機器に装着されるプリント板ユニットには多数個の半導体装置を高密度に実装することが必要となっている。

【0003】そのため、プリント板ユニットの小型化がはかれる半導体チップ本体（以下ベアチップと略称する）をプリント配線基板（以下配線基板と略称する）へ直接表面実装しているが、これらベアチップを立体的に高密度実装することができる新しい半導体チップの実装構造が要求されている。

【0004】

【従来の技術】従来広く使用されている半導体の実装構造は、図4(b)に示すように例えば四方向フラットリードパッケージタイプ(QFP)の半導体装置2において、半導体素子2-3と導通してパッケージ2-1の側面より突出させて配列した複数本のリード2-2と対応する位置に微細幅のフットパターン1-1を複数個桁形に配列した配線基板1に、前記半導体装置2のリード2-2と当該フットパターン1-1を位置合わせして配線基板1に半導体装置2を載置し、リフローボンディング等により前記フットパターン1-1に施した図示していない半田を溶融して、図4(a)に示すように配線基板1の主面に多数個の半導体装置2が表面実装されている。

【0005】

【発明が解決しようとする課題】以上説明した従来の半導体装置の実装構造で問題となるのは、第4図(b)に示すように配線基板1の表面に形成されたフットパターン1-1と半導体素子2-3を覆ったパッケージ2-1のリード2-2を接合することにより多数個の半導体装置2が実装されているから、この実装される半導体装置2の外形寸法はパッケージ2-1により大きくなって実装される配線基板1も大きくせねばならぬので装置の小型化を阻むという問題が生じている。

【0006】また、半導体素子2-3を覆うパッケージ2-1により半導体装置2が重くなってプリント板ユニットの重量が増加するという問題も生じていた。本発明は上記のような問題点に鑑み、ベアチップを積層して配線基板に実装することによりプリント板ユニットの小型化と軽量化をはかることができる新しい半導体チップの実装構造の提供を目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項に記載の発明は図1に示すように、ベアチップの一方の主面に設けられた接続端子を除く基板面に絶縁膜を施して、前記接続端子に接続した導体パターンを上記絶縁膜の表面に形成して前記ベアチップの他方の主面に延在せしめたベアチップベアチップを提供する。ま

た図2に示すように、配線基板上に一方の主面から他方の主面に表裏導通導体を設けた貫通孔を有する複数のベアチップを積層してなり、隣接した上方に位置するベアチップの貫通孔下面の接続端子を下方に位置するベアチップ上面の接続端子に直接接続すると共に、ベアチップ毎に独立した外部リードを設けて配線基板との接続を行うようにしたベアチップを提供する。

【0008】

【作用】本発明では、ベアチップ12の基板12-1表面に絶縁膜13を施して、その絶縁膜13より露出した接続端子12-1aと導通して他方の面の当該接続端子12-1aと対応する位置まで導体パターン14を配線し、この導体パターン14と他のベアチップ12に形成された接続端子12-1aを接続することで複数個が積層されるから、その最下層に位置する該ベアチップ12の該接続端子12-1aとプリント配線基板1のフットパターン1-1と接続することにより、配線基板1に形成されたそれぞれのフットパターン1-1に対して複数個のベアチップ12が実装されてプリント板ユニットの小型化と軽量化をはかることが可能となる。

【0009】

【実施例】以下図1～図3について本発明の実施例を詳細に説明する。図1は第一実施例による半導体チップの実装構造を示す側断面図、図2は第二実施例の実装構造を示す側断面図、図3は第二実施例に使用するベアチップのスルーホール形成方法を説明する工程順側断面図を示し、図中において、図4と同一部材には同一記号が付してあるが、その他の12は第一実施例の実装構造に使用するベアチップ、22は第二実施例の実装構造に使用するベアチップである。

【0010】ベアチップ12は、図1に示すように単結晶シリコン等よりなる薄い基板12-1の中央部に半導体素子の集積回路を形成して、周縁に集積回路から引き出された複数個の接続端子12-1aが配設された半導体装置の素子本体である。

【0011】上記部材を使用した第一実施例による半導体チップの実装構造は、図1(a)に示すようにベアチップ12の基板12-1の一方の面に形成された接続端子12-1aを除く全表面に絶縁樹脂よりなる絶縁膜13を施すことにより当該接続端子12-1aを露出させ、この絶縁膜13の表面から露出した前記接続端子12-1aと導通させて当該接続端子12-1aと対応する位置の他方の面までエポキシ系の導電性塗料により導体パターン14を形成する。

【0012】そして、上記接続端子12-1aを同一方向にして複数個のベアチップ12とTABによりリード12-2を設けたベアチップ12'とを、導体パターン14と接続端子12-1aまたはそれぞれの導体パターン14を接続してベアチップ12、12'の積層体を形成し、この積層体の接続端子12-1aを上向きにして最下層に位置する該ベアチップ12'のボンディング等により配線されたリード12-2をプリント配線基板1のフットパターン1-1へ結合すること

により実装する。

【0013】また、図1(b)に示すように接続端子12-1aを同一方向にして複数個の上記ベアチップ12を導体パターン14で接続して積層し、この積層体の上記接続端子12-1aを下向きにして最下層に位置する該ベアチップ12の接続端子12-1a、または当該導体パターン14と配線基板1のフットパターン1-1を導電性接着剤15により結合して実装する。

【0014】第二実施例に使用するベアチップ22の形成方法は、図3(a)に示すように単結晶シリコンより例えば400 μ mの板厚に成形したベアチップの基板22-1の一方の面にエッチングレジスト22-4を塗布し、表裏導通を必要とする位置に例えば100 μ m径の当該エッチングレジスト22-4を除去して、真空槽内でエッチングにより図3(b)に示す如く100 μ m径で深さ320 μ mのスルーホール22-1bを穿設し、図3(c)に示す如く前記エッチングレジスト22-4を除去した後、蒸着等によりスルーホール22-1b内に表裏導通導体22-1dを充填するとともに入り口に150 μ m径の電極パッド22-1cを形成する。

【0015】そして、図3(d)に示すように表裏導通導体22-1dが充填された基板22-1の下面、即ち電極パッド22-1cに対して反対側の面を100 μ m研磨することにより表裏導通導体22-1dの端面を露出させ、その後この基板22-1の表面に半導体素子の集積回路を形成してそれぞれの接続端子に複数本の微細なリードをATBによって配線するとともに、上記電極パッド22-1cの上、または表裏導通導体22-1dを端面に半田等による接続パンプを形成している。

【0016】このベアチップ22を使用した第二実施例による半導体チップの実装構造は、図2に示すようにリー

ド22-2の配線側を同一方向にして表裏導通導体22-1dの接続パンプ22-3により複数個のベアチップ22を接続して積層し、この積層されたベアチップ22のリード22-2を上向きにして最下層のベアチップ22を接着剤等により配線基板1に固着して、各ベアチップ22のリード22-2をボンディング等により前記配線基板1のフットパターン1-1に接続している。

【0017】

【発明の効果】以上の説明から明らかなように本発明によれば極めて簡単な構成で、配線基板に形成されたそれぞれのフットパターンに対して複数個のベアチップが実装されるからプリント板ユニットの小型化と軽量化をはかることができる等の利点があり、著しい経済的及び、信頼性向上の効果が期待できる半導体チップの実装構造を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第一実施例による半導体チップの実装構造を示す拡大側断面図である。

【図2】 第二実施例の実装構造を示す拡大側断面図である。

【図3】 第二実施例に使用するベアチップのスルーホール形成方法を説明する工程順側断面図である。

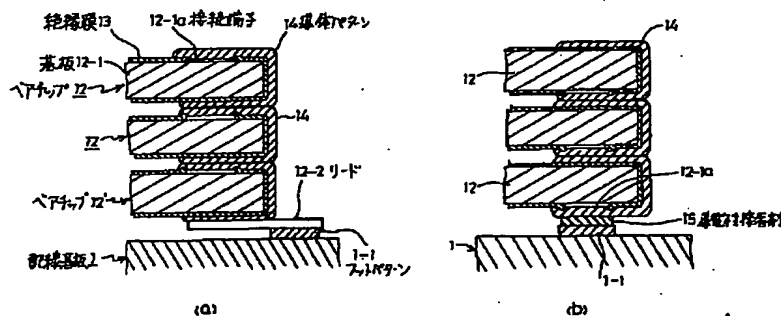
【図4】 従来の半導体実装構造を示す斜視図である。

【符号の説明】

1は配線基板、1-1はフットパターン、12、12'、22はベアチップ、12-1、22-1は基板、12-1a、22-1aは接続端子、12-2、22-2はリード、13は絶縁膜、14は導体パターン、15は導電性接着剤、22-1bはスルーホール22-1a、22-1cは電極パッド、22-1dは表裏導通導体、22-3は接続パンプ、22-4はエッチングレジスト、

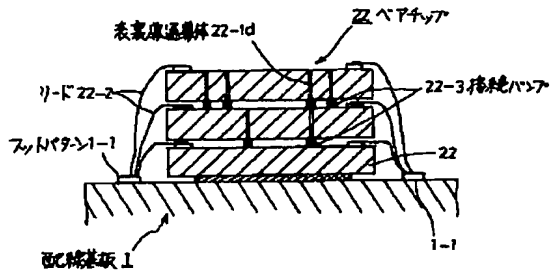
【図1】

第一実施例による半導体チップの実装構造を示す拡大側断面図



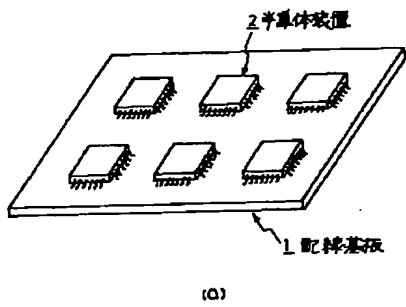
【図2】

第二実施例の実装構造を示す拡大側断面図

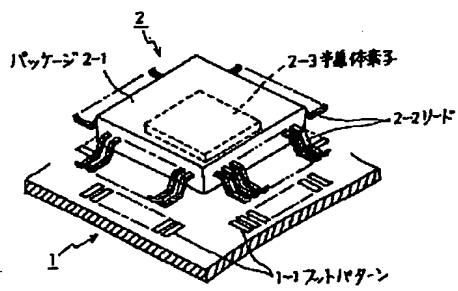


【図4】

従来の半導体実装構造を示す斜視図



(a)



(b)

【図3】

第二実施例に使用するμmチップのスルーホール形成方法を説明する工程別側断面図

